

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10134175 A**(43) Date of publication of application: **22 . 05 . 98**

(51) Int. Cl. **G06T 3/40**  
**G06F 3/14**

(21) Application number: **08286571**(22) Date of filing: **29 . 10 . 96**(71) Applicant: **SONY CORP**

(72) Inventor: **IWASE SEIICHIRO**  
**KUROKAWA MASUYOSHI**  
**KANO MAMORU**  
**NAKAMURA KENICHIRO**

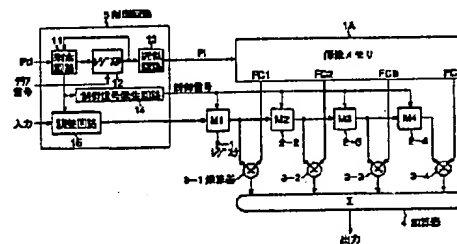
(54) **PROCESSOR AND METHOD FOR IMAGE  
 PROCESSING**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To enlarge or reduce an image at an arbitrary conversion rate.

**SOLUTION:** A residue circuit 11 outputs a phase variation component Pd supplied from a specific device and the decimal part of the sum of the value of a register 12 to the register 12. An approximation circuit 13 outputs a filter select signal Pi whose phase (x) corresponds to a filter coefficient set corresponding to the phase closest to the value of the register 12 to a coefficient memory 1A. Thus, an optimum filter coefficient set among a specific number of filter coefficient sets is selected for the interpolation of specific pixel data. Then product sum operations between the four filter coefficient sets and four pixel data are performed by multipliers 3-1 to 3-4 and an adder by a Cubic approximating method to calculate an interpolated value of pixels.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁(JP) (12)公開特許公報(A) (11)特許出願公開番号  
特開平10-134175  
(43)公開日 平成10年(1998)5月22日

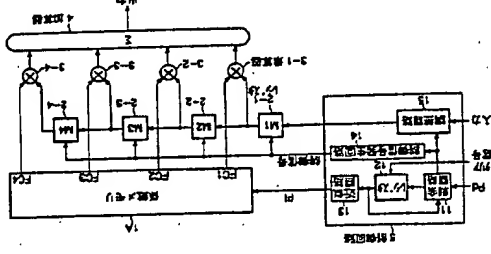
FI		PI	
G06T 3/40	G06F 15/00	G06F 15/00	355C
G06F 3/14	G06F 3/14	G06F 3/14	310A

審査請求 未請求 請求項の数19 OL (全31頁)

(21)出願番号	特開平8-286571	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 岩瀬 清一郎 東京品川区北品川6丁目7番35号 ソニー株式会社内 岩瀬 清一郎 東京品川区北品川6丁目7番35号 ソニー株式会社内 加納 豊 東京品川区北品川6丁目7番35号 ソニー株式会社内 井上士 裕太 親戚 最終頁に続く
(22)出願日	平成8年(1996)10月29日	(72)発明者	加納 豊 東京品川区北品川6丁目7番35号 ソニー株式会社内 井上士 裕太 親戚 最終頁に続く

(54)【発明の名称】 画像処理装置および方法

(57)【要約】  
【課題】 任意の縮減比率の画像の拡大または縮小を行うことができるようにする。  
【解決手段】 剰余回路11は、所定の装置より供給された位相変分Pdと、レジスタ12の値の和の小数部分をレジスタ12に出力する。そして、近似回路13は、位相xが、レジスタ12の値に最も近い位相に対応するフィルタ係数セットに対応するフィルタ選択番号P1を係数メモリ14に出力する。このようにして、所定の画像データの縮減において、所定の数のフィルタ係数セットのうちの最適なフィルタ係数セットが選択される。そして、Cubic近似法に従って、その4つのフィルタ係数セットと、4つの縮減データとの積和演算が、乗算器3-1乃至3-4と加算器4で行われることにより、縮減の縮減値が算出される。



【特許請求の範囲】  
【請求項1】 画像の拡大または縮小に伴う画像データの縮減演算を、その縮減演算に対応したハードウェアで行う演算部と、前記縮減演算に利用されるフィルタ係数セットを記憶する記憶部とを備える画像処理装置で、前記記憶部は、所定の分割数で元の画像の画素間隔を分けたときの各位置に対応するフィルタ係数セットを記憶し、そのフィルタ係数のうち、前記記憶部が、処理される画像データの位相に最も近いフィルタ係数セットを前記演算部に出力し、  
【請求項2】 前記分割数は、2のべき乗であることを特徴とする請求項1に記載の画像処理装置。  
【請求項3】 画像の拡大または縮小に伴う画像データの縮減演算を、その縮減演算に対応したハードウェアで行う演算部と、前記記憶部に記憶されるフィルタ係数セットを記憶する記憶部とを備える画像処理装置において、前記記憶部は、前記フィルタ係数セットを前記演算部に出力し、  
【請求項4】 複数の要素プロセッサに画像データを供給し、前記複数の要素プロセッサをSIMD制御して、各要素プロセッサで、周辺の要素プロセッサが有する画像データを利用して、画像の拡大または縮小に伴う画像データの縮減演算を並列に行う画像処理装置で、所定の分割数で元の画像の画素間隔を分けたときの各位置に対応するフィルタ係数セットのうち、前記記憶部が、処理される画像データの位相に最も近いフィルタ係数セットを、前記要素プロセッサにそれぞれ供給し、前記要素プロセッサが、前記フィルタ係数セットを利用して、前記画像データの縮減の処理をそれぞれ行うことを特徴とする画像処理装置。  
【請求項5】 前記分割数は、2のべき乗であることを特徴とする請求項4に記載の画像処理装置。  
【請求項6】 前記要素プロセッサは、データを1ビットずつ処理する1ビットプロセッサであることを特徴とする請求項4に記載の画像処理装置。  
【請求項7】 前記周辺の要素プロセッサと、前記所定の要素プロセッサとの位置関係のパターンの種別が最小になるように、前記複数の要素プロセッサに前記画像データを供給することを特徴とする請求項4に記載の画像処理装置。

【請求項8】 前記フィルタ係数セットは、前記要素プロセッサが供給されるときに利用される間隔を介して、前記要素プロセッサに供給されることを特徴とする請求項4に記載の画像処理装置。  
【請求項9】 前記要素プロセッサに接続され、前記フィルタ係数セットを記憶する記憶手段をさらに備える二重記憶装置は、前記記憶手段に記憶されるフィルタ係数セットを、前記記憶手段に記憶されるフィルタ係数セットに対応する位置の画素間隔に従って記憶することを特徴とする請求項9に記載の画像処理装置。  
【請求項10】 前記記憶手段は、前記フィルタ係数セットを、前記記憶手段に記憶されるフィルタ係数セットに対応する位置の画素間隔に従って記憶することを特徴とする請求項9に記載の画像処理装置。  
【請求項11】 前記要素プロセッサは、前記フィルタ係数セットを記憶する記憶部と、演算を行うALU部を備え、  
各要素プロセッサに割り当てられる画像データの位相情報に対応した前記フィルタ係数セットが、前記ALU部を介して前記記憶部に供給されることを特徴とする請求項4に記載の画像処理装置。  
【請求項12】 前記要素プロセッサが前記記憶部をそれぞれ算出することを特徴とする請求項11に記載の画像処理装置。  
【請求項13】 前記ALU部に接続され、前記フィルタ係数セットを記憶する記憶手段をさらに備え、前記記憶手段は、前記記憶手段に記憶されるフィルタ係数セットを、前記記憶手段に記憶されるフィルタ係数セットに従って記憶することを特徴とする請求項11に記載の画像処理装置。  
【請求項14】 前記要素プロセッサは、その要素プロセッサに割り当てられる画像データの位相情報に対応して、前記記憶手段に記憶されるフィルタ係数セットをそれぞれ算出することを特徴とする請求項11に記載の画像処理装置。  
【請求項15】 前記要素プロセッサが前記記憶部をそれぞれ算出することを特徴とする請求項13に記載の画像処理装置。  
【請求項16】 前記記憶手段は、Cubic近似法に対応する演算であることを特徴とする請求項4に記載の画像処理装置。  
【請求項17】 前記記憶手段として、第1の縮減方式に従って第1の分割数で第1の縮減演算を行った後、前記第1の縮減演算の演算結果に対して、第2の縮減方式に従って第2の分割数で第2の縮減演算を行うことを特徴とする請求項4に記載の画像処理装置。  
【請求項18】 前記要素プロセッサは、輝度データと色データで構成され、  
前記輝度データは、前記輝度データの縮減を行うときに用いられるフィルタ係数セットに対応する前記分割数より少ない分割数で元の画像の画素間隔を分けたときの各位置に対応するフィルタ係数セットを利用して縮減されることを特徴とする請求項4に記載の画像処理装置。  
【請求項19】 複数の要素プロセッサに画像データを

供給し、前記複数の要素プロセッサをSIMD制御して、各要素プロセッサで、周辺の要素プロセッサが有する画素データを利用して、画素の拡大または縮小に伴う画素データの補間の処理を並列に行う画像処理方法で、所定の分割数で元の画素の画素間隔を分割したときの各位置に対応するフィルタ係数セットのうち、前記位置が、処理される画素データの位置に最も近いフィルタ係数セットを、前記要素プロセッサにそれぞれ供給し、前記要素プロセッサが、前記フィルタ係数セットを利用して、前記画素データの補間の処理をそれぞれ行うことを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置および方法に関し、特に、所定の分割数で元の画素の画素間隔を分割したときの各位置に対応するフィルタ係数セットのうち、前記位置が、補間処理される画素の位置に最も近いフィルタ係数セットを利用して、画素データの補間処理を行うことにより、任意の倍率の画素の拡大または縮小を行う画像処理装置および方法に関する。

【0002】

【従来の技術】テレビジョン受像機などの画像表示装置（ディスプレイ）は、CRT（CathodeRay Tube）を用いているものが多い。このようなディスプレイにおいて、各画素の位置に対応してアナログ的に画素信号を取り扱い、画像を表示する場合、水平走査回数を減らして表示することが多い。

【0003】一方、デジタル的に画素信号を取り扱う場合、NTSCやPALなどの放送伝送方式に応じて、画素の解像度が異なるので、それらの方式でデジタル化された画素の送方向と横方向の画素数は、放送伝送方式毎に異なる。また、放送伝送方式としては、HDTVまで含めていろいろの方式があり、その画素数（解像度）の規格は多岐である。そのため、画像データに対してデジタル処理を行うシステムにおいては、これらのすべての伝送方式に対応させる場合、画素数を「補間フィルタ」で変換する必要がある。

【0004】さらに、最近普及している液晶ディスプレイやプラズマディスプレイにおいては、表示画素の画素数が所定の数に固定されているため、このようなディスプレイを利用する場合においても、原画の画素数を、これらのディスプレイに対応する画素数に変換するためには補間フィルタが必要となる。

【0005】次に、画素の画素数を変換するための補間フィルタの一例について説明する。

【0006】まず、画素の拡大または縮小、および、画素の解像度（画素数）の変換について説明する。

【0007】画素の拡大または縮小と、画素の解像度（画素数）の変換（解像度の異なる画素間隔の変換）は、どちらも、原画の各画素位置に対して、元の

画像において存在しなかった画素のデータを求める演算を行うことにより実現される。従って、画素の倍率操作を行う補間フィルタを利用することにより、上述の2つの処理を行うことが可能である。

【0008】図21は、原画像の一部分の一例を示している。図中の丸印は画素の位置を表している。この部分においては、横方向に8画素、縦方向に6画素が含まれている（縦方向、ここでは画素数を小さい順に設定している）。

【0009】次に、この原画像を例えば（10/7）倍に拡大する場合について説明する。なお、倍率は画素ではなく長さの比で表現するものとする。図21の画像を拡大する場合、表示画素間隔は変えずに、画素の配列（即ち画素間隔など）を、図21と同一に保つ。そのようにして、拡大の処理を行った場合、その結果の画像は、図22のようになる。この場合、倍率は、1.429（＝10/7）であるので、画素の1辺の長さは、1.429倍され、画素数は、約1.429倍に増加する。

【0010】例えば水平方向（水平走査の方向）に対し、原画像においては画素数が8であるが、拡大後に、11または12（8×10/7＝11.429に近い整数）画素になる。従って、拡大後の画素間隔は、原画像の画素間隔に対して対応する各画素の位置関係は、原画像における位置関係とは異なるので、拡大後の各画素のデータ（画素色や表現する）の値は、原画像のそれとは異なることになる。

【0011】図23は、（10/7）倍の倍率で、画素の拡大した場合における、原画像と拡大後の画像における水平方向の画素の位置関係について示している。

【0012】図中、上側のR1（1＝1, 2, ...）は、原画像の画素を表しており、下側のQ1（1＝1, 2, ...）は、拡大後の補間画素のデータを示している。R1に対応する画素は、Q1に対応する画素の間隔（10/7）倍の間隔で配置されている。なお、図23は、水平方向の拡大の様子だけを示しているが、垂直方向についても同様であるので、その説明は省略する。【0013】拡大後の各画素のデータの値は、図23に示すような原画像の各画素の位置との対応関係に基づいて、周辺のいくつかの原画像の画素の値から、補間フィルタ演算、即ち補間演算の積み込み演算を行うことにより算出される（後述）。

【0014】次に、画像の大きさを変化させずに、画素の解像度を例えば（10/7）倍にする場合を考える。この際画素間隔は、解像度が（10/7）倍だけ高い画素間隔に変換することと等価である。即ち、水平方向の画素数は、（10/7）倍に変更される。この場合、図21の原画像は、図24に示すように、1次元の密度を有する画素に変換される。

【0015】図21の各画素と図22の各画素との対応関係と、図21の各画素と図24の各画素との対応関係は、両者とも、図23に示すようになり、同一であるので、画素数の多い画像処理に変換する演算操作は、上述の画像の拡大の演算操作と同様に行われる。

【0016】次に、図21の原画像を例えば（10/13）倍に縮小する場合について説明する。

【0017】画像の縮小を行う場合、画像の解像度は変えないので、縮小後の画像における画素の配列、即ち画素間隔などは、図21に示す原画像と同一になる。

【0018】図25は、図21の原画像を、（10/13）倍に縮小した画像を示している。この場合、倍率は、0.769（＝10/13）であるので、画素の1辺の長さは、0.769倍に縮小し、縮小画素を構成する画素数は、約0.769に減少する。

【0019】例えば、原画像においては水平方向の画素数が8であるが、縮小後の画像においては、水平方向の画素数は7（8×10/13＝6.154に近い整数）になる。従って、縮小後の画素間隔における画素の同じ部分に対応する各画素の位置関係は、原画像における各画素の位置関係とは異なるので、縮小後の各画素のデータ（画素色や表現する）の値は、原画像のそれとは異なる。

【0020】図26は、（10/13）倍の倍率で、画素を縮小した場合における、原画像と縮小後の画像における水平方向の画素の位置関係について示している。

【0021】図中、上側のR1（1＝1, 2, ...）は、原画像の画素を表しており、下側のQ1（1＝1, 2, ...）は、縮小後の補間画素のデータを示している。R1に対応する画素は、Q1に対応する画素の間隔（10/13）倍の間隔で配置されている。なお、図26は、水平方向の縮小の様子だけを示しているが、垂直方向についても同様であるので、その説明は省略する。

【0022】縮小後の各画素のデータの値は、図26に示すように、原画像の画素Rの位置から画素Q1の位置まで、補間フィルタの演算により算出される。

【0023】「画素化定理」によれば、理想的な「補間」を行う場合、式（1）および図29（A）に示すようなsinc関数を補間関数f(x)として、無制限時間過去の画素から無限時間将来の画素までの積み込み演算を行う。

【0024】次に、補間フィルタにおいて行われる演算について説明する。

【0025】図28に示すように、原画像の画素化間隔をSとし、原画像の画素Rの位置から画素Q1の位置まで、補間フィルタの演算により生成する演算Q1の位置（補間点）とすると、画素Q1の値は、その周辺の原画像の画素の値Rに対する積み込み演算により算出される。

【0026】次に、補間フィルタにおいて行われる演算について説明する。

【0027】図28に示すように、原画像の画素化間隔をSとし、原画像の画素Rの位置から画素Q1の位置まで、補間フィルタの演算により生成する演算Q1の位置（補間点）とすると、画素Q1の値は、その周辺の原画像の画素の値Rに対する積み込み演算により算出される。

示すような原画像の各画素との対応関係に応じて、周辺のいくつかの原画像の画素の値から、補間フィルタ演算、即ち補間演算の積み込み演算を行うことにより算出する。

【0023】次に、画像の大きさを変化させずに、画素の解像度を例えば（10/13）倍にする場合を考える。この際画素間隔は、解像度が（10/13）倍だけ低い画素間隔に変換することと等価である。即ち、画素数は、（10/13）倍に変更される。この場合、図21の原画像は、図27に示すように、1次元の密度を有する画素に変換される。

【0024】図21の各画素と図25の各画素との対応関係と、図21の各画素と図27の各画素との対応関係は、いずれも図26に示すようになり、同一であるので、解像度が低い画像処理に変換する演算操作は、上述の画像の縮小の演算操作と同様に行われる。

【0025】以上のように、画像の拡大または縮小、および、画素化間隔（画素数）の変換を行う場合、原画像には存在しなかった位置の画素データを算出する補間フィルタが必要となる。

【0026】次に、補間フィルタにおいて行われる演算について説明する。

【0027】図28に示すように、原画像の画素化間隔をSとし、原画像の画素Rの位置から画素Q1の位置まで、補間フィルタの演算により生成する演算Q1の位置（補間点）とすると、画素Q1の値は、その周辺の原画像の画素の値Rに対する積み込み演算により算出される。

【0028】「画素化定理」によれば、理想的な「補間」を行う場合、式（1）および図29（A）に示すようなsinc関数を補間関数f(x)として、無制限時間過去の画素から無限時間将来の画素までの積み込み演算を行う。

$$f(x) = \text{sinc}(\pi x) / (\pi x) \quad (1)$$

$$\begin{cases} f(x) = 1 & -0.5 \leq x \leq 0.5 \\ f(x) = 0 & -0.5 \leq x > 0.5 \end{cases} \quad (2)$$

【0033】図29（C）に示すような補間関数を利用して、原画像の2画素のデータから、補間後の1画素のデータを算出する。なお、式（3）および図29（C）の変換xは、原画像の画素位置からの水平方向の変位を、補間後の画素位置で正規化した値を表すものとする。また、図29（C）に示すような補間関数として、加重平均が算出される。

【数2】

図は、Cubic近似法を利用して畳み込み演算を行う。

[0043] 係数メモリ1は、各補間点（または、各位相）に対応する複数のフィルタ係数を保持しており、所定の装置（図示せず）より供給されるフィルタ選択信号に対応した4つのフィルタ係数FC1、FC2、FC3、FC4を乗算器3-1乃至3-4にそれぞれ出力する。

[0044] レジスタ2-1は、所定の装置（図示せず）より供給されたデータxを保持し、乗算器3-1乃至3-4にそれぞれ出力する。レジスタ2-2は、レジスタ2-1より2つ前のデータRm1、入力データR1より3つ前のデータRm2、および、入力データR1より4つ前のデータRm3をそれぞれ保持している。[0045] このとき、乗算器3-1乃至3-4における乗算結果は、乗算器3-1乃至3-4にそれぞれ出力される。

[0046] レジスタ2-1乃至2-4は、次のクロックの立ち上がりタイミングで、データxをそれぞれシフトする。レジスタ2-1乃至2-4は、次のクロックの立ち上がりタイミングで、データxをそれぞれシフトする。

[0047] データxがそれぞれシフトされるので、第3サイクルにおいては、レジスタ2-1乃至2-4は、R2、R1、Rm0、および、Rm1をそれぞれ保持する。このとき、乗算器3-1乃至3-4は、レジスタ2-1乃至2-4は、次のクロックの立ち上がりタイミングで、データxをそれぞれシフトする。

[0048] 同様に、データxがそれぞれシフトされるので、第4サイクルにおいては、レジスタ2-1乃至2-4は、R3、R2、R1、および、Rm0をそれぞれ保持する。また、図23におけるRm0、R1、R2、R3に対する乗算器3-1の値は、乗算器3-1に供給される。このように、フィルタ選択信号は、出力データQ1の位相Pに対応して供給される。

[0049] なお、この場合、図28のRm0がRm0に、RbがR1に、RcがR2に、RdがR3に対応し、図28のQが補間の値Q1に対応する。

[0050] 係数メモリ1は、図23に示す10種類のフィルタ係数セットを記憶し、供給されたフィルタ選択信号P1に基いて4つの係数FC1、FC2、FC3、FC4を選択し、出力する。（10/7）倍の面積拡大の場合には、その補間演算における乗算の位相は図23に示すように10個増えているので、係数メモリ1は、その位相の数の2倍のフィルタ係数セットを有している。

[0051] 図23に示す10種類のフィルタ係数セットは、図28のSを10等分する各位相に対応する10種類の位相のうち、位相が1/10であるときのフィルタ係数セットに対応している。なお、図28の小数点後2桁（フィラタ係数）は、フィルタ選択信号P1に基いて、8ビットで式（4）に代入して算出されるので、8ビット表現係数は、その小数点後2桁を8ビットに結集し、図28に示すように10個増えていると仮定される。

[0052] 今回の場合、係数メモリ1は、フィルタ選択信号P1に基いて、図28のSを10等分する各位相に対応する10種類の位相のうち、位相が1/10であるときのフィルタ係数セットに対応している。なお、図28の小数点後2桁（フィラタ係数）は、フィルタ選択信号P1に基いて、8ビットで式（4）に代入して算出されるので、8ビット表現係数は、その小数点後2桁を8ビットに結集し、図28に示すように10個増えていると仮定される。

[0053] 今回の場合、係数メモリ1は、フィルタ選択信号P1に基いて、図28のSを10等分する各位相に対応する10種類の位相のうち、位相が1/10であるときのフィルタ係数セットに対応している。なお、図28の小数点後2桁（フィラタ係数）は、フィルタ選択信号P1に基いて、8ビットで式（4）に代入して算出されるので、8ビット表現係数は、その小数点後2桁を8ビットに結集し、図28に示すように10個増えていると仮定される。

[0054] 今回の場合、係数メモリ1は、フィルタ選択信号P1に基いて、図28のSを10等分する各位相に対応する10種類の位相のうち、位相が1/10であるときのフィルタ係数セットに対応している。なお、図28の小数点後2桁（フィラタ係数）は、フィルタ選択信号P1に基いて、8ビットで式（4）に代入して算出されるので、8ビット表現係数は、その小数点後2桁を8ビットに結集し、図28に示すように10個増えていると仮定される。

[0034] Cubic近似法においては、式（4）および図29（D）に示すような補間関数を利用して、原画像の4画素のデータ（a、b、c、d）と、補間後の1画素のデータ（x）を、式（4）および図29（D）の式xを、原画像の画素位置からの水平方向の位置を、原画像の画素間隔で正規化した値を表すものとする。

$$\begin{cases} (x) = \frac{1}{6} - \frac{1}{2}x \\ (x) = 0 \end{cases} \quad \begin{cases} |x| \leq 1 \\ |x| > 1 \end{cases} \quad \dots (3)$$

$$\begin{cases} (x) = \frac{1}{6} - \frac{1}{2}x \\ (x) = 0 \end{cases} \quad \begin{cases} |x| \leq 1 \\ |x| > 1 \end{cases} \quad \dots (4)$$

[0035] これらの畳み込み演算は、所謂FIRデジタルフィルタを利用して行うことが可能である。その場合、補間関数の中心を補間点に合わせ、所定の画素数分だけ近傍の原画像の画素位置を標準化した値を補間フィルタ係数セットとして使う。

[0036] 例えば、一次近似法で補間の演算を行う場合、位相Pが0.0であるとき、フィルタ係数セットを構成する2つの重み（フィルタ係数）は、1.0と0.0となり、位置が一致する原画像の画素値をそのまま出力するような係数セットとなる。

[0037] また、位相Pが0.5であるとき、2つのフィルタ係数は、0.5と0.5となり、Pが0.3であるときにおいて、0.7と0.3となる。

[0038] Cubic近似法で補間の演算を行う場合、位相Pが0.0であるとき、フィルタ係数セットを構成する4つの重み（フィルタ係数）は、0.0、0.1、0.0、0.0、および、0.0となり、位置が一致する原画像の画素のデータ値をそのまま出力するような係数セットとなる。

[0039] また、位相Pが0.5であるとき、4つのフィルタ係数は、-0.125、0.625、0.625、0.625、および、-0.125となり、Pが0.3であるときにおいては、-0.063、0.847、0.847、0.363、および、-0.147となる。

[0040] なお、このとき、データを算出する補間点毎に、原画像の画素の値Pがそれぞれ異なるので、異なる位相に対応する複数のフィルタ係数のセットが必要となる。

[0041] 次に、従来の補間フィルタ演算装置について説明する。

[0042] 図30は、補間の演算、即ち補間関数の畳み込み演算を行うFIRデジタルフィルタを利用した演算装置の構成例を示している。なお、図30の演算装

置がP0であるので、図32の位相P0に対応するフィルタ係数セット（0.0、0.1、0.0、0.0、0.0）を、（8ビット表現の場合、（0、128、0、0））を、4つのフィルタ係数FC1、FC2、FC3、FC4として乗算器3-1乃至3-4にそれぞれ供給する。

[0063] そして、乗算器3-1乃至3-4および乗算器4により、上述の補間演算が行われ、その演算結果が、出力データQ1として出力される。

[0064] このとき（第4サイクルにおいて）、乗算器3-1乃至3-4は、第4サイクルにおいて保持していたデータxを、継続して保持する。このとき、図23におけるRm0、R1、R2、R3に対する出力データQ1の位相を示すフィルタ選択信号P7が、係数メモリ1に供給される。

[0065] なお、この場合、図23に示すように、R1とQ1が同位相であり、かつ、Q1とQ2との間隔は7/10となり、フィルタ選択信号P7が供給される。

[0066] そして、係数メモリ1は、フィルタ選択信号P7であるので、図32の7/10の位相に対応するフィルタ係数セット（-0.147、0.363、0.847、-0.063）（8ビット表現の場合、（-19、46、108、-8））を、4つのフィルタ係数FC1、FC2、FC3、FC4として乗算器3-1乃至3-4にそれぞれ出力する。

[0067] そして、乗算器3-1乃至3-4および乗算器4により、上述の補間演算が行われ、その演算結果が、出力データQ2として出力される。

[0068] なお、この場合のように、第4サイクルの出力データQ1と第5サイクルの出力データQ2の算出に使用される原画像の画素が同一である場合、第4サイクルにおける乗算器の値を「1」として、第4サイクルから第5サイクルに移行する時にレジスタ2-1乃至2-4をシフト動作させない。

[0069] このとき（第5サイクルにおいて）、乗算器3-1乃至3-4は、次のクロックの立ち上りのタイミングで、データをそれぞれシフトする。

[0070] 次に、第6サイクルにおいては、レジスタ2-1乃至2-4は、R4、R3、R2、および、R1をそれぞれ保持する。また、図23におけるR4、R3、R2、R1に対する出力データQ1の位相を示すフィルタ選択信号P4が、係数メモリ1に供給される。

[0071] なお、今回の位相は、前回の位相7/10に、7/10が累加されて14/10となるが、原画像

データ1割分に相当する位相 (=10/10) を計算するので、今回の位相は、 $4/10 (=7/10 + 7/10 - 10/10)$  となる。

[0073] 即ち、1回のサイクル毎に、位相は、水素、 $7/10$ ずつ変化する。そして、位相はデータ遅延として扱われるので、結局、位相は、モジュロ計算されることになる。

[0074] 係数メモリ1は、フィルタ選択係数がP4であるので、図32のP4に対応するフィルタ係数セット(-0.096, 0.744, 0.496, -0.144) (8ビット表現の場合、(-12, 95, 63, -18))を、4つのフィルタ係数FC1, FC2, FC3, FC4として乗算器3-1乃至3-4に出力する。

[0075] そして、乗算器3-1乃至3-4および加算器4により、上述の位相計算が行われ、その計算結果が、出力データQ3として出力される。

[0076] このとき、時刻係数の値が「H」であるので、レジスタ2-1乃至2-4は、次のクロックの立ち上がりタイミングで、データをそれぞれシフトする。[0077] 以下同様にして、図31に示すように、処理が進められていき、出力データQ1が、順次出力される。

[0078] なお、上述の装置を利用して画像の画素数変換などを施した場合、その入力のデータレートと出力のデータレートは画素数の変化に起因して変化してしまう。

[0079] 例えば、上述のように画素数が増える変換においては、出力データのレートは一定になっているものの、入力データ列の収束は、図31の第5サイクルのように、停止することがある。また、画素数が増える変換の場合においては、入力データは一定であるものの、出力データの出力が停止することがある。

[0080] 従って、実施例には、図30に示す演算装置の入出力データを一旦記憶するバッファメモリを設けることにより、データレートを一定に保つようになっている。

[0081] 以上のようにして、(水平方向における) 画像の拡大または縮小、および、解像度の変更が、ハードウェア的に(即ち、処理における各演算に対応して構成されている電子回路を利用して)行われる。

[0082] しかしながら、上述のようにハードウェア的に、画像の拡大または縮小、および、解像度の変更を行う装置を利用する場合、画像の変更時にあって、同時に同じくが所望される。各画素毎の処理、テレビジョン信号処理、ノイズ除去などを行うために、別途、各処理に対応する装置が必要となる。

[0083] そこで、例えば、先に提案した特開平7-246627号に記述されているように、SIMD (Single Instruction Multiple Data stream) 形式の並列

プロセッサを利用して、ソフトウェア的に、上述の演算を行う方法が考えられている。

[0084] 図33は、そのような並列プロセッサの構成例を示している。この並列プロセッサは、入力ポート21、入力SAM (シリアルアクセスメモリ) 部22、データメモリ部23、ALU (アレイ部) 24、出力SAM部25、出力ポート26、および、プログラム制御部27で構成されている。

[0085] 入力SAM部22、データメモリ部23、ALUアレイ部24、および、出力SAM部25は、リアルタイム (直線配列) 型に並列化された要素プロセッサ群を構成している。これらの要素プロセッサ31は、プログラム制御部27が有する1つのプログラムに従って、運動して制御される (即ち、SIMD制御される)。プログラム制御部27は、プログラムメモリや、そのプログラムを進行させるシーケンサ制御回路などを有し、プログラムメモリに予め書き込まれたプログラムに従って、各要素プロセッサ31を発生して、各回路を制御する。

[0086] なお、入力SAM部22、データメモリ部23、出力SAM部25は、主にメモリで構成されている。詳細に説明しないが、図33の装置においては、これらのメモリのための「ロウ (row)」アドレスデコーダは、プログラム制御部27に含まれているものとす。

[0087] 並列化された要素プロセッサ31 (4-エレメント分) は、図33において、斜線で示した部分に対応し、複数の要素プロセッサ31が、図中において横方向に配列されている。即ち、図33の斜線の部分だけが、1つのプロセッサに対応する構成要素を有している。

[0088] 次に、図33の画像処理用のリアルタイム型並列プロセッサの動作について説明する。

[0089] 入力ポート21に与えられた入力データ (1画素分の画像データ) は、入力SAM部22に供給される。

[0090] 入力ポート21は、1つの入力データに対して1つの要素プロセッサ31だけに、数「H」の1ビット係数、即ち入力ポート21に与えられた入力データに対して、数「H」で指定された要素プロセッサ31の入力SAM部22 (入力SAMセル) に、その入力データが書き込まれる。

[0091] 入力ポート21係数による、データを供給する要素プロセッサ31の指定は、入力データのクロックごとに図中の左側の要素プロセッサ31から右側の要素プロセッサ31に向けて順次移動するので、入力データは、左側の要素プロセッサ31の入力SAM部22 (入力SAMセル) から、右側の要素プロセッサ31の入力SAMセルに順次供給される。

[0092] 要素プロセッサ31の数は画像データの1水

平走査期間の間隔数以上に設計されているので、画像係数の1水平走査期間分の要素データを、入力SAM部22に蓄積することができる。このような入力動作は、水平走査期間内に繰り返される。

[0093] プログラム制御部27は、このようにして画像データの1水平走査期間のデータが入力SAM部22に蓄積されることに、プログラムに従って入力SAM部22、データメモリ部23、ALUアレイ部24、および、出力SAM部25を以下のようにSIMD制御して処理を実行する。

[0094] なお、このプログラム制御部は水平走査期間ごとに繰り返される。従って、水平走査期間に対応する時間間、このプロセッサの命令サイクル毎で演算して算出されるステップ数だけのプログラムを処理することができ、SIMD制御であるから、以下の動作は全て要素プロセッサ31において並行して同様に行われる。

[0095] 入力SAM部22に蓄積された1水平走査期間分の入力データは、次の水平走査期間において、必要に応じて入力SAM部22からデータメモリ部23へ転送され、その後の演算処理に使用される。

[0096] 入力SAM部22からデータメモリ部23へのデータの転送においては、プログラム制御部27は、入力SAM読み出し信号 (SIR) により入力SAM部22の所定のビットのデータを選択してアクセスし、データメモリ部23の所定のメモリセル (後述) へ書き込んでいく。

[0097] 次に、プログラム制御部27は、プログラム23に保持されているデータを、その要素プロセッサ31に供給し、そのデータに対して算術演算あるいは論理演算を行わせる。そして、その演算結果は、データメモリ部23の所定のアドレスに書き込まれる。

[0098] なお、ALUアレイ部24における演算は、全てビット単位で行われるので、1サイクル当たり1ビットずつ処理が行われる。例えば、8ビットのデータ同士の間隔計算を行う場合、少なくとも8サイクルかかることになる。また、8ビットのデータ同士の加算を行う場合、少なくとも8サイクルかかることになる。8ビットのデータ同士の乗算を行う場合、その乗算は64回のビット加算と等価であるので、少なくとも64サイクルかかることになる。

[0099] また、要素プロセッサ31は、近傍の要素プロセッサ31に接続されており、プロセッサ間通信を行うことができる。ただし、近傍の要素プロセッサ31のデータメモリ部23へのアクセスを行う場合、SIMD制御に起因して、例えば右隣りの要素プロセッサ31のデータメモリ部をアクセスするときは、すべての要素

プロセッサ31が、右隣りの要素プロセッサ31のデータメモリ部23をアクセスすることになる。

[0100] なお、このように動作すること、デジタルフィルタの実現には特に問題とはならない。また、処理遅延されない要素プロセッサ31のデータを読み出す場合、プログラムステップは多少増えるが、近傍のプロセッサ間通信を繰り返すことにより、データを読み出す。

[0101] このような動作体を利用して、近傍の要素プロセッサ31が保持するデータを利用して、画像の水平方向のFIRデジタルフィルタ演算を表現することができ、

[0102] なお、このような並列プロセッサにおいては、画像の水平方向の同じ位置の画素のデータは、すべての水平走査期間において、所定の1つの要素プロセッサ31により処理されるので、データを入力SAM部22からデータメモリ部23に転送するときに、水平走査期間ごとに、データを記憶するアドレスを変更することにより、過去の水平走査期間の入力データを、それ以降の水平走査期間まで、データメモリ部23の内部に保持することができ、このようにすることにより、画像の垂直方向のFIRデジタルフィルタについても、その演算に必要なデータをデータメモリ部23に順次保持させていくことができる。

[0103] このようにして、それぞれの要素プロセッサ31は、垂直方向 (水平走査方向) に対して垂直方向 (向) の所定の遅延数の画素データを、データメモリ部23の内部に保持し、垂直方向のFIRデジタルフィルタ演算を実現している。

[0104] 以上のようにして1水平走査期間に繰り返されていく演算が終了すると、その水平走査期間のうちに、その水平走査期間に演算したデータは、出力SAM部25に転送される。

[0105] このように、1水平走査期間のうちに、入力SAM部22に蓄積された入力データのデータメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25へのデータの転送が、ビット単位として、これらの処理は、水平走査期間を単位として、順次繰り返される。

[0106] そして、出力SAM部25に転送された出力データは、さらに次の水平走査期間において、出力SAM部25から出力される。

[0107] 以上のように、入力データを入力SAM部22に書き込む入力処理、プログラム制御部27による、入力SAM部22に蓄積された入力データのデータのメモリ部23への転送、ALUアレイ部24による演算、および、出力SAM部25への出力データの転送の演算処理、並びに、出力データを入力SAM部25から出力させる出力処理の3つの処理が、各水平走査入力カデ

データに対して行われる。なお、これらの3つの処理は、画像情報の1水平走査期間を単位とするパイプライン処理として実行される。

【0108】1つの水平走査期間の入力データに注目すれば、その入力データに対する3つの処理には、各処理において1水平走査期間に対応する時間が経過するから、合計水平走査期間の3倍にわたる時間がかかるが、3つの処理がパイプライン処理として並行に実行されるので、平均して、1水平走査期間分の入力データがあるとき、1水平走査期間に対応する時間で処理を行うことができた。

【0109】  
 【発明の要旨】本発明は、上述の如く、  
 本発明においては、所定の画像の変換比率を $k$ 、しとする  
 と、変換後の画素数である $h$ 個のフィルタ係数セットが、多  
 必要であり、変換比率 $k$ が整数でない場合には、フィルタ係  
 数のフィルタ係数セットが必要となる。フィルタ係数セ  
 ットを記憶する記憶部に大容量のものを使用すること  
 なるため、装置のコストおよびメモリ容量を低減すること  
 となる。本発明は、上述の如く、

101101」また、例えばユーザによる操作などに応じて、変換比率を変化させようとする場合、複数の変換比率に対応する複数の変換セットを使用することが考えられるが、その場合、変換セットの数と変換率の組み合わせに対応する数のフロッグパッド個数セットが必要となり、大量の記憶部が必要となるので、装置のコストおよび回路規模を低減するという問題であることが問題を生じ

(10)さらに、上述の演算プロセスのように、総数の1Rデータフルフィルタの実装が可能である場合、細目の計算が必要とされる内側の表と粗小を行う場合(図8に、解像度の変換を行う場合)、細目の領域は1Rデータフルフィルタの一種であるもの、入力SAM2 1Rデータフルフィルタの数と一致するもの、出力SAM2 5M2 2に接続されるデータの数、出力SAM2 5M2 2に出力されるデータの数が異なるので、入力SAM2 2に2つは出力SAM2 5において、入力データ1と2は出力データ1の1/5に収まることになる。

「[0112] 従って、要素プロセッサ31が、時間的処理に必要な入力面データをも、所定の数の他の要素プロセッサ31より獲得する場合、その要素プロセッサ31と、他の要素プロセッサ31との位置関係が、要素プロセッサ31の1周に異なるので、すべての要素プロセッサ31が同様の動作を行うSIMD形式の並列プロセッサでは、必要なデータを獲得することが困難であるという問題を有している。

【0113】例えば、Cubic 近似では連続する入力データのうちの4つのデータに対する重み込み演算が必要である。例えば、画像を(10/7)倍に拡大する場合、図34に示すように、入力データR1は、常に配列されないで、例えば出力データQ3を算出するときに

【0121】請求項4に記載の画像処理装置は、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、画素データにそれぞれ供給し、要素プロセスが、フィルタ係数セットを利用して、画素データの補間の処理を行なうことを特徴とする。

【01022】請求項19に記載の画像処理方法は、所定  
の分割数で元の画像の画素間隔を分割したときの各位相  
に対応するフィルタ係数セットのうち、位相が、処理さ  
れる画素データの位相に最も近いフィルタ係数セット  
を、要素プロセスにそれぞれ提供し、要素プロセスが、  
フィルタ係数セットを利用して、画素データの補間  
を行なうことを特徴とする。

【0123】請求項1に記載の画像処理装置において、対応して設けられており、その作用は、

【0124】請求項3に記載の画像処理方法において、所定の分割数で元の画像の画素間隔を分割したとき、その各位相に対応するフィルタ係数セットを記憶している記憶部から、位相が、時間演算される画素データの位相に最も近いフィルタ係数セットを演算部に出力し、演算部にて、フィルタ係数セットを利用して、画素データの画素間隔を演算する。

【0126】請求項4に記載の画像処理装置においては、所定の分割数で元の画像の画素間隔を分割したとき、各位置に対応するフィルタ係数セットのうち、位相の各位置に対応する画素データ中の位相に最も近いフィルタ係数セットを、要素プロセスサにそれぞれ供給し、要素プロセスサが、フィルタ係数セットを利用して、画素データの補間の処理をそれぞれ行う。

【0126】請求項19に記載の画像処理方法においては、所定の分割数で元の画像の画素間隔を分割したとき、各位置に対応するフィルタ係数セットのうち、位相が、処理される画素データの位相に最も近いフィルタ係数セットを、要素プロセスサにそれぞれ供給し、要素プロセスサが、フィルタ係数セットを利用して、画素データの抽出の処理を行なう。

【0127】  
【発明の実施の形態】図1は、本発明の画像処理装置の概略の構成図を示している。

【0128】係数メモリ1Aは、所定の分割数で元の画像の画素間隔を分割したときの各位相に対応するフィルタ係数セットを記憶するようになされている。

【0129】例えば、分割数を16に設定した場合、係数メモリ11は、図2に示すように、正規化位相量 $\times$ お

よびフィルタ選択信号P1に対応する16個のフィルタ係数セット(F C1, F C2, F C3, F C4)を予め記憶している。

[1030] 制御回路5は、両者の変換に伴う、補間後の両系間隔に対応する成組の变化分P dを所定の装置(図示せず)より供給され、その位相変化分P dに対応して、補間する両系に対応するフィルタ係数セットが選択されるようにフィルタ選択信号P1を発生して、そのフィルタ選択信号P1を係数メモリA1に出力するようになされている。

【0131】また、制御回路5は、位相変化分Pdの累積値に対応して、レジスタ2-1乃至2-4に供給される制御信号を生成する。

[0132] 制御回路5の剰余回路11は、レジスタ12に記憶されている値と、位相変分 $P(n)$ との和を1で12に出力するようになされる。また、剰余回路11は、レジスタ12に記憶されている値と、位相変分 $P(n)$ の角が1以上である場合、所定の倍角を制御信号 $P_4$ として出力するようになされいる。

【0131】制御回路5のレジスタ12は、制御回路1および制御回路3に値を保持し、その値を制御回路1および制御回路3に出力するようにになっている。また、レジスタ12は、1水準表定期間毎に供給されるクリア信号に対応して、保持する値を0にリセットする。【0134】制御回路5の近似回路13は、レジスタ12より供給された値に最も近い正規化放相値 $\times$  (図2)に対応するフィードバック係数 $P_i$ を乗算メモリ18に出力するように構成されている。

【0135】 脚部回路5の制御信号発生回路14は、前記回路1より所定の信号が供給された場合、図6「1」の制御信号をレジスタ2と1より至る2-4に出力し、脚部回路1より所定の番号が供給されている場合、図6「1」の制御信号を出力するようになされている。

【0136】制御回路の調整回路15は、バッファメモ  
リ(図示せず)を内蔵し、供給される入力側データ  
を、所定のタイミングでレジスタ2-1に出力するよう  
になされている。調整回路15は、剰余回路1より所  
定の信号が供給された場合、そのサイクルにおける商  
データの出力を停止する。

【0137】なお、レジスタ2-1乃至2-4、乗算器3-1乃至3-4、および加算器4は、図30と同様に構成されているので、その説明を省略する。

【0138】次に、図1の画像処理装置の動作について説明する。

【0139】最初に、位相変分Pdが制御回路5の剰余回路11に供給される。そして、剰余回路11は、供給された値と、レジスタ12の値の和の小数部分をレジ

スタ12に出力する。なお、このとき、供給されたスタ12の値が1以上である場合、剰余回路11は、所定の値を減算して発生回路14および回路15に出力する。

[0140] なお、近路回路13は、値相 $x$ が、レジスタ12の値に近い値に対応するフィルタ係数セットに対応するフィルタ選択係数P1を係数メモリ1Aに出力する。

[0141] このようにして、所定の画素データの補間において、所定の数のフィルタ係数セットのうちの適切なフィルタ係数セットが選択される。

[0142] なお、そのフィルタ係数セットを利用して補間値を算出する動作は、図30の装置と同様であるので、その説明を省略する。

[0143] 次に、図3を参照して、例えば、予め係数メモリ1Aに記憶されている16個のフィルタ係数セットを利用して、 $(10/7)$ 倍に画像を拡大するときの補間回路5の動作を説明する。

[0144] 最初に、値相が0である第1番目の補間値Q1(図23)を算出する場合においては、レジスタ12の値は初期値0に設定されており、その値が近路回路13に供給され、近路回路13は、図2に示すフィルタ選択係数P1のうち、値相 $x$ が、供給された値0に最も近いフィルタ選択係数P0( $x=0$ )を選択し、そのフィルタ選択係数P0を係数メモリ1Aに出力する。なお、このとき、フィルタ選択係数P0に対応する値相 $x$ が0、0であり、供給された値と同一であるので、値相に関する調整は0である。

[0145] また、このとき、剰余回路11には、値相変化分Pd(この場合、Pd=0.7)が供給され、レジスタ12の値0と位相変化分0.7の和の小數部分、即ち、0.7が、レジスタ12に出力される。

[0146] 次に、値相が0.7である第2番目の補間値Q2(図23)を算出する場合、このときのレジスタ12の値は0.7に設定されており、その値が近路回路13に供給され、近路回路13は、図2に示すフィルタ選択係数P1のうち、値相 $x$ が、供給された値0.7に最も近いフィルタ選択係数P11( $x=0.6875$ )を選択し、そのフィルタ選択係数P11を係数メモリ1Aに出力する。なお、このとき、フィルタ選択係数P11に対応する値相 $x$ が0.6875であり、供給された値0.7と異なるので、0.0125の位相に関する調整が発生している。

[0147] また、このとき、剰余回路11には、値相変化分Pd(Pd=0.7)が供給され、レジスタ12の値0.7と位相変化分0.7の和の小數部分、即ち、0.4が、レジスタ12に出力される。

[0148] そして、値相が0.4である第3番目の補間値Q3(図23)を算出する場合、このときのレジスタ12の値は0.4に設定されており、その値が近路回

路13に供給され、近路回路13は、図2に示すフィルタ選択係数P1のうち、値相 $x$ が、供給された値0.4に最も近いフィルタ選択係数P6( $x=0.375$ )を選択し、そのフィルタ選択係数P6を係数メモリ1Aに出力する。なお、このとき、フィルタ選択係数P6に対応する値相 $x$ が0.375であり、供給された値0.4と異なるので、0.025の位相に関する調整が発生している。

[0149] また、このとき、剰余回路11には、値相変化分Pd(Pd=0.7)が供給され、レジスタ12の値0.4と位相変化分0.7の和の小數部分、即ち、0.1が、レジスタ12に出力される。

[0150] 以下同様にして、第4番目乃至第10番目の補間値Q1が算出されていく。第11番目の補間値Q11を算出するとき、補間する画素の位相が0に近づくので、この場合においては、16個のフィルタ係数セットのうち、合計10個のフィルタ係数セットが利用される。

[0151] 位相変化分Pdは数値比 $K:L$ のLに比べて決まるので、上述の位相変化分Pdの値を変更するだけで、異なる変換比率の画像の拡大または縮小を行うことができる。

[0152] なお、このように変換比率に拘わらず、所定の数のフィルタ係数セットを利用する場合、上述のように位相の調整が発生するが、元々、補間回数として、 $slinc$ 回数を大幅に近似したものを用いているので、この程度の位相の調整は、ほとんど問題とはならない。なお、必要に応じて、画素間隔の分割数を大きくしてもよい。

[0153] 以上のように、第1の実施形態においては、任意の変換比率で、ハードウェア的に画像の拡大または縮小を行うことができる。

[0154] なお、上述の説明においては、画素間隔の分割数が16に設定されているが、勿論、他の分割数もよい。

[0155] また、上述の位相変化分Pdは、小数で表見されているが、画素間隔を分割数で除算して得られる単位位相で、その小数を除算した整数値を位相変化分としてもよい。その場合、分割数を2のべき乗にすることにより、剰余回路11による剰余を算出する処理が簡便になる。即ち、その場合、剰余回路11は、上位ビットを無視するようにした2進数の加算器で実現することができ、また、その場合、近路回路13は、出なる画素間隔のため四捨五入を行う回路でよい。

[0156] さらに、上述のように、分割数に対応する数(この場合、16個)のフィルタ係数セットのうち、所定の数(この場合、10個)のフィルタ係数セットだけが使用される場合、係数メモリ1Aが、使用されるフィルタ係数セットだけを記憶するようにしてもよい。その場合、係数メモリ1Aの記憶容量を節約することができ、

また、

[0157] 図4は、本発明の画像処理装置の第2の実施形態の構成を示している。

[0158] 入力ポインティング21は、要素プロセッサ31に、入力SAM部22に、入力データを受け取るか否かを示す入力ポインティング信号を出力するようになされている。なお、この入力ポインティング21は、例えば特開平8-123683号公報に記載されているものと類似し、入力データを選択的に要素プロセッサ31に供給させることができ、

[0159] 入力SAM部22は、要素プロセッサ31毎に、所定の入力データを受け取る記憶部を有し、入力ポインティング21より供給されるSIP信号に応じて、入力データを記憶するようになされている。また、入力SAM部22は、プログラム制御部27Aより、SIR信号を受け取ると、保持しているデータを、データメモリ23に出力するようになされている。

[0160] データメモリ23は、要素プロセッサ31毎に、所定のデータを保持する記憶部を有し、プログラム制御部27Aより、SWA信号を受け取ると、入力SAM部22またはALUレイアウト24より供給されたデータを記憶部に記憶し、メモリ読み出しアクセス信号(SRAA, SRBA)を受け取ると、そのデータをALUレイアウト24に出力するようになされている。

[0161] ALUレイアウト24は、要素プロセッサ31毎に演算部(図6のALU(Arithmetic and Logical Unit))を有し、データメモリ23より供給されるデータに対して、プログラム制御部27Aより供給されるALU制御信号(SALU-CONT)に対応する演算を行うようになされている。

[0162] 出力SAM部25は、要素プロセッサ31毎に、所定の出力データを保持する記憶部を有し、プログラム制御部27Aより供給される出力SAM書き込み信号(SOW)を受け取ると、ALUレイアウト24からの出力データをその記憶部に記憶するようになされている。また、出力SAM部25は、出力ポインティング26より供給される出力ポインティング信号(SOP)に応じて、保持しているデータを出力するようになされている。

[0163] 出力ポインティング26は、要素プロセッサ31毎に、出力SAM部25に、出力データを受け取るか否かを示すOIP信号を出力するようになされている。なお、この出力ポインティング26は、例えば特開平8-123683号公報に記載されているものと類似し、要素プロセッサ31から選択的にデータを出力させることができる。

[0164] プログラム制御部27Aは、所定のプログラムに従って各種制御し、後述の各種動作を行わせるようになされている。

[0165] 図5は、要素プロセッサ31の構成例を示している。図5の要素プロセッサ31は、様々な用途に

利用できる汎用的なプロセッサ形態として構成されている。入力バッファメモリ(IQ)41は、図4の入力SAM部22の1要素プロセッサ分に対応し、入力データを記憶する。データメモリ(RF)42は、図4のデータメモリ部23の1要素プロセッサ分に対応し、演算途中のデータなどを記憶する3ポートメモリである。出力バッファメモリ(OQ)44は、図4の出力SAM部25の1要素プロセッサ分に対応し、出力データを記憶する。

[0166] 演算部(ALU)43は、図4のALUレイアウト24の1要素プロセッサ分に対応し、データメモリ42より供給されるデータに対して各種演算を行い、その演算結果をデータメモリ42または出力バッファメモリ44に出力する。

[0167] 図5の要素プロセッサ31においては、入力データは、入力バッファメモリ41に一旦入力され、その後、データメモリ42に転送される。演算部43は、データメモリ42より必要に応じて供給される、新たに記憶されたデータ、過去に記憶されたデータ、演算途中のデータなどに対して各種演算を行い、再びデータメモリ42に書き込むという作業を、プログラムに対応して繰り返す。その演算結果は、出力バッファメモリ44に転送され、所定の速度でフォーマットで出力される。

[0168] なお、要素プロセッサ31においては、入力SAM部22、データメモリ部23、および、出力SAM部25が、メモリの「カラム」を構成している。また、ALUレイアウト24は、1ビットALUであり、フルアダー(全加算器)を主体とした回路構成を有している。従って、普通の所部パーソナルコンピュータなどに利用されているワード単位に処理を行うプロセッサとは異なり、この要素プロセッサ31は、ビット処理プロセッサであり、ビットを単位として処理を行う。

[0169] ビット処理プロセッサは、1プロセッサあたりのハードウェアの規模が小さいので、並列性を大きくすることができ、従って、画像処理用の非演算プロセッサは、要素プロセッサ31の直列配列の並列数が、後者の一水準を差開けた回路構成と同一もしくはそれより多く設計されている。

[0170] 図6は、上述の要素プロセッサ31の詳細な回路構成の一例を示している。なお、図6の各セルの構造は、可変性を意図するために非常に一般的なものと記述されている。また、同じ回路が複数並ぶ部分として、1つの回路(1ビットの回路)で代表して記述されている。

[0171] 入力SAM部22の1つの要素プロセッサ31に対応する部分は、入力ポインティング21に隣接し、入力データビット数15Bに対応して、15B個の、1ビットを記憶する入力SAMセル22-1乃至22-15Bで構成されている。なお、図6においては、15

B側の入力SAMセル22-1乃至22-15Bの代りに、1つのセル22-1が記憶されている。

[0172] 入力SAMセル22-1においては、トランジスタT1のゲート端子は、入力ポインタ21に接続され、トランジスタT1の他の2つの端子は、入力データバス65または1ビットのデータを配線するコンデンサC1の一端に接続されている。

[0173] また、トランジスタT2のゲート端子は、プログラム制御部27Aに接続されており、SIR信号を供給され、トランジスタT2の他の2つの端子は、書き込みビット線63およびコンデンサC1の一端にそれぞれ接続されている。

[0174] コンデンサC1の一端は、トランジスタT1、T2に接続され、他端は、接地されている。

[0175] データメモリ部23の1つの要素プロセッサ31に接続する部分は、作業メモリとして必要なビット線MBに接続されている。なお、図6において、MB側のデータメモリセル23-1乃至23-MBは、MB側のデータメモリセル23-1乃至23-MBの代りに、1つのセル23-1が記憶されている。

[0176] データメモリ部23のデータメモリセル23-1(i=1, ..., MB)は、2本の読み出しビット線81、62と1本の書き込みビット線63を有する3ポートメモリである。

[0177] データメモリセル23-1においては、トランジスタT1のゲート端子は、プログラム制御部27Aに接続されており、SIR信号を供給され、トランジスタT1の他の2つの端子は、書き込みビット線63および1ビットのデータを配線するコンデンサC1の一端にそれぞれ接続されている。

[0178] コンデンサC1の一端は、トランジスタT1、T2のゲート端子と、トランジスタT1に接続され、他端は、接地されている。

[0179] トランジスタT1、T2の両方のゲート端子は、接地点、および、駆動Rを介して電源（図示せず）にそれぞれ接続されている。なお、駆動Rは省略してもよい。

[0180] トランジスタT1、T2のゲート端子は、プログラム制御部27Aに接続されており、SIR信号を供給され、トランジスタT1、T2の両方のゲート端子は、書き込みビット線63および1ビットのデータを配線するコンデンサC1の一端にそれぞれ接続されている。

[0181] トランジスタT1、T2の両方のゲート端子は、プログラム制御部27Aに接続されており、SIR信号を供給され、トランジスタT1、T2の両方のゲート端子は、書き込みビット線63および1ビットのデータを配線するコンデンサC1の一端にそれぞれ接続されている。

[0182] ALUアレイ部24の1つの要素プロセッサ31に接続する部分は、図6におけるALUセル24A（ALU部）である。ALUセル24AのALU81

は、1ビットALUであり、全加算器（フルアダー）などの回路構成を有し、フリップフロップ82-1乃至82-3より供給される1ビットの値に対して演算を行う。その演算結果をセレクト83に出力する。

[0183] また、ALUセル24Aは、ALU81に供給される1ビットの値を保持するフリップフロップ82-1乃至82-3、フリップフロップ82-1乃至82-3に供給される値を選択するセレクト（SEL）84-1乃至84-3を有している。

[0184] 出力SAM部25の1つの要素プロセッサ31に接続する部分は、出力ポインタ26に制御され、出力信号ビット線（OSB）に対して、OSB側の出力SAMセル25-1乃至25-OSBで構成されている。なお、図6においては、出力SAMセル25-1乃至25-OSBの代わりに、1つのセル25-1が記憶されている。

[0185] 出力SAMセル25-1においては、トランジスタT7のゲート端子は、プログラム制御部27Aに接続されており、SOW信号を供給され、トランジスタT7の他の2つの端子は、書き込みビット線63A、および、1ビットのデータを配線するコンデンサC4の一端にそれぞれ接続されている。

[0186] コンデンサC4の一端は、トランジスタT7、T8に接続され、他端は、接地されている。

[0187] トランジスタT7、T8のゲート端子は、出力ポインタ26に接続され、トランジスタT8の他の2つの端子のうちの一端は、コンデンサC4とトランジスタT7に接続され、残りの一端は、出力データバス6に接続されている。

[0188] 要素プロセッサ31に接続されているすべてのワーディング線は、それぞれ配列されている他の要素プロセッサ31にも接続されており、SIR信号、SWA信号、メモリ読み出しアクセス信号（SRAA、SRB、A）、SOW信号などをすべての要素プロセッサ31に伝送する。なお、これらのワーディング線は、図4のプログラム制御部27A内でアドレスデコードされている。

[0189] また、入力データバス65は、すべての要素プロセッサ31の入力SAMセル22-1に接続される。出力データバス68は、すべての要素プロセッサ31の出力SAMセル25-1に接続されている。

[0190] また、図4のメモリ28（記憶手段）は、起動時、水平同期期間、垂直同期期間などに外部の制御用CPU（図示せず）などより供給される、すべての要素プロセッサ31におけるフィルタ演算に必要なすべての同期フィルタ演算のデータを、要素プロセッサ31の番号順に保持するようになされている。即ち、メモリ28は、第1の演算の形態の演算メモリ1Aと同様に、予め設定された分岐数だけのフィルタ演算セットを記憶している。

[0191] 次に、この要素プロセッサ31におけるデ

ータの転送および演算について説明する。

[0192] 入力ポインタ21により指定された要素プロセッサ31の入力SAMセル22-1においては、トランジスタT1がオン状態になり、コンデンサC1の端子電圧が、入力データバス65（およびバッファ71）を介して供給される入力データに定電圧になる。

[0193] このようにして、入力データが、指定された要素プロセッサ31の入力SAMセル22に記憶される。

[0194] 次に、プログラム制御部27Aより供給されるSIR信号により選択された入力SAMセル22-1においては、トランジスタT2がオン状態となり、コンデンサC1の端子電圧に定電圧を供給する。コンデンサC1の端子電圧は、書き込みビット線63に伝送される。

[0195] このとき、SBC信号がバッファ72に供給されるとともに、SWA信号が、所定のデータメモリセル23-1のトランジスタT1に供給され、トランジスタT1がオン状態になることにより、コンデンサC1の端子電圧が、入力SAMセル22-1のコンデンサC1に記憶されているデータに定電圧になる。

[0196] なお、ALUセル24Aからのデータをデータメモリセル23-1に書き込む場合は、SBCA信号が、バッファ73に供給される。

[0197] このデータ転送は、書き込みビット線63を介して、1サイクルに1ビットずつ行われる。入力SAM部22の各入力SAMセル22-1からデータを23の各データメモリセル23-1へのデータの書き込み出すときに利用されるSIR信号と、データメモリ部22の各データメモリセル23-1のデータの書き込み出すときに利用されるSIR信号は、同じアドレス空間内のアドレスを示しており、それぞれロウデコードでデコードされてワード線として与えられている。

[0198] そして、ALUセル24Aは、データメモリ部23に、上述のようにして書き込まれた入力データや演算中のデータ、あるいは、フリップフロップ82-1乃至82-3に記憶されているデータを用いて、ビット単位の演算処理を順次進める。

[0199] 例えば、データメモリ部23の所定のビットに対応するデータメモリセル23-1のデータと、他のビットに対応するデータメモリセル23-1のデータを加算して、さらに他のビットに対応するデータメモリセル23-1に演算結果を書き込む場合は、次のように動作する。

[0200] プログラム制御部27Aは、データメモリ部23の所定のビットに対応するデータメモリセル23-1にSRAA信号を供給し、そのセルのトランジスタT1、T3をオン状態にして、コンデンサC1に記憶されているデータを一時的に読み出しビット線61に出力させる。

[0201] 同時に、プログラム制御部27Aは、他のビットに対応するデータメモリセル23-1にSRAA信号を供給し、そのセルのトランジスタT1、T4をオン状態にして、コンデンサC1に記憶されているデータを、他方の読み出しビット線62に出力させる。

[0202] これら2つの読み出されたデータは、ALUセル24Aのセレクト84-1乃至84-3を介して、ALU81に供給される。そして、ALU81は、それらのデータに対して所定の演算を行い、その演算結果を、セレクト83を介してフリップフロップ85に供給する。

[0203] そして、プログラム制御部27Aは、SRAA信号を供給して、フリップフロップ85から演算結果を書き込みビット線63に出力させ、SWA信号を、所定のビットに対応するデータメモリセル23-1に供給して、そのセル23-1のトランジスタT1をオン状態にして、コンデンサC1の端子電圧を、その演算結果に対応する電圧にする。

[0204] なお、ALUセル24Aにおける演算動作は、プログラム制御部27Aより供給されるALU制御信号（SALU-CONT）に従って行われる。ALUセル24Aにおける演算結果は、上述のようにデータメモリ部23に書き込まれるか、あるいは、必要に応じてALUセル24Aのフリップフロップ82-2-3に記憶される。また、ALU81における演算結果が加算の場合は、ALUセル24Aは、演算結果におけるキャリーをフリップフロップ82-3に、サムをデータメモリ部23に出力する。

[0205] 次に、データメモリセル23-1よりデータを出力させる場合、プログラム制御部27Aは、出力データメモリセル23-1のデータと、データメモリセル23-1のデータを記憶しているデータメモリセル23-1に、メモリアクセス信号（SRAAあるいはSRAA）を供給して、そのセル23-1のトランジスタT1、T3またはT1、T4をオン状態にして、コンデンサC1に記憶されているデータを読み出しビット線61または62に出力する。

[0206] そして、プログラム制御部27Aは、ALUセル24Aに、所定の制御信号を供給し、データメモリセル23-1からのデータを、出力SAMセル25-1に転送させる。このとき、プログラム制御部27Aは、その出力SAMセル25-1のコンデンサC4にデータを供給するように、SOW信号を出力し、そのセルのトランジスタT1、T7をオン状態にして、コンデンサC4の端子電圧を、そのデータに定電圧にする。

[0207] なお、データは、書き込みビット線63を経由して、1ビットずつ転送される。このとき、データに対して、ALU81により何らかの処理を行ってもよい。

[0208] また、出力SAM部25の各出力SAMセル25-1にデータを記憶させるときに利用するSOW





の実施の形態のメモリ28Aと同様にファイルタ選択番号1を記憶しているものとする。

【0292】従って、変換比率を変更させる場合、メモ  
リ28に記憶されている、各要素プロセッサ31に対応  
するフィドル名簿添付1を変更すればよい。

【0293】次に、図16および図17のフローチャート参照して、第4の実施の形態において、フィルタ係数セットを算出するときの各部の動作について説明する。なお、ここでは、式(4)のCubliと近似法におけるフィルタ係数セットを算出する。勿論、他の近似法におけるフィルタ係数セットを算出するようにしてもよい。

【0294】最初に、ステップS61において、要素  
ロセツ31は、同僚の乗換比率をK/1.倍とすると、  
予め供給されているフィルタ選択番号1とKより、値を  
算出する画素の位相1/Kを算出し、X<sub>0</sub>として記憶す  
る。なお、Kおよび1は、プログラム制御部27Aより  
供給される。

【0295】次に、要部プロセッサ31は、ステップS62において、 $X_0$ を $X$ に代入し、ステップS63において、 $X$ の2乗 ( $X \times X$ ) を計算し、その演算結果を $X$ として記憶する。

【0296】さらに、ステップS64において、要素プロセッサ31は、 $X_2$ と $X$ の積（即ち、 $X$ の3乗）を演算し、その演算結果を $X_3$ として記憶する。

【0297】そして、ステップS65において、変数P  
ロセッサ31は、式(4)を利用して、 $X_1$ 、 $X_2$ および  
 $X_3$ より、次式に従ってフィルタ係数FC3を算出す  
る。

$$FC3 = -X_1 + 5X_2 - 8X_3 + 4 \quad (5)$$

【0298】次に、ステップS66において、要素プロセッサ31は、 $X_0$  ( $=1/K$ ) に1だけ加算した値を、 $X$ に代入する。

【0299】そして、要路プロセッサ31は、ステップS67において、Xの2乗 ( $X \times X$ ) を演算し、その演算結果を  $X_2$  に代入し、ステップS68において、 $X_2$  と  $X$  の積 (即ち、 $X$  の3乗) を演算し、その演算結果を  $X_3$  に代入する。

【0300】ステップS69において、変換プロセッサ31は、式(4)を利用して、 $X$ 、 $X_2$ および $X_1$ より、次式に従ってフィルタ係数 $D_C$ を算出する。

$$FC4 = X_3 - 2X_2 + 1 \quad (6)$$

【0301】次に、ステップS70において、要素ブセツサ31は、1から $X_0$ を計算した値をXに代入する。

10302]そして、要部プロセス31は、ステップ71において、Xの2乗 ( $X \times X$ ) を演算し、その演算結果をXに代入し、ステップ72において、XとXの値 (即ち、Xの3乗) を演算し、その演算結果をXに代入する。

本誌第27日は、カウンタ $j$ の値が、フィルタ係数セットの数 $N$ より1だけ減算した値以上であるかを判断し、カウンタ $j$ の値が、フィルタ係数セットの数 $N$ より1だけ減算した値以上（ $j \geq N - 1$ ）であると判断した場合、 $N$ 個のフィルタ係数セットのうちいずれかが各周波数プロセス31に供給されたことになるので、フィルタ係数セットの供給の処理を終了する。

【0203】一方、プログラム制御部2711は、カウンタjの値が、フィードバックセットの数Nより1だけ減算した値より小さい( $j < N-1$ )と判断した場合、ステップS52において、カウンタjの値を1だけ増加させて、ステップS42に戻り、次のフィードバック番号1に対応するフィードバックセットの供給を行う。

【0284】このようにして、各要素プロセッサ31は、予め供給されているフィラクル増倍番号1に対応するフィラクル係数をメモリ29より受け取り、データメモリ23に記憶させる。

【0285】このように、フィルタ係数セットを入力データR1とは別の経路で供給することにより、フィルタ係数セットを選択的に要素プロセス31に供給することとを、多くのプログラマムステップを必要とすることなく、容易に実現することができ、

【0286】メモリ29に記憶されている例えば16ビットのフィルタ低減セットのうちのいずれかを各要路プロセス31に供給する場合、一つのフィルタ低減セットセッサ31は同時に供給されるので、フィルタ低減セットが例えば40ビットであるとき、要路プロセス31の数に拘わらず、 $640 (= 40 \times 16)$  ステップの動作で、すべての要路プロセス31にフィルタ低減セットを供給することができ、

【0287】なお、画像データの処理を行うときの動作モードを説明することがある。

【0288】以上のように、第3の実施形態においては、フィルタ係数セットを、入力データとは別の経路で供給するので、入力SAMI部22の稼働状況に拘わらず、フィルタ係数セットを供給することができ、フィルタ稼働セットを供給することができる。

【0289】なお、第3の乗組の形態においては、乗組員比率を変更させる場合、メモリ28Aに記憶されている、各乗組プロセッサ31に対応するフルク選択信号1を発生すればよい。

【0290】次に、本発明の第4の実施の形態について説明する。第4の実施の形態においては、各要部プロセス31が、フィルタ選択番号1に対応して、各要部プロセス31で、フィルタ選択セットを算出するようになされている。

【0291】なお、第4の実施の形態の構成およびフ  
ルタ演算時の動作は、第2の実施の形態と同様である。  
で、その説明を省略する。ただし、メモリ28は、第

する。なお、最も左側の要素  $\text{プロセッサ } 31$  は、左隣りに要素  $\text{プロセッサ } 31$  がないので、 $Z_{A_{-1}}$  を 0 として計算を行う。

【0316】ステップS84において、各型部プロセス31は、 $Z_{A0}$ の値がKより大きいかを判断し、 $Z_{A0}$ の値がKより大きいと判断した場合、ステップS85において、 $Z_{A0}$ の値をKで割算したときの剰余を計算し、その割算結果を $K_{A1}$ に代入する。

【0317】一方、各要素プロセス31は、Zハの値がK以下であると判断した場合、ステップS85をスキップする。なお、実際には、SIMD制御において処理のスキップを行うことは困難であるので、要素プロセス31は、ステップS85をスキップした場合と同一の結果になるように処理を行う。

【0318】そして、ステップS86において、各型別プロセス31は、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数以下に切り返していき、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数以下に切り返していきと判断した場合、ステップS83に限り、ステップS83乃至ステップS85の動作を再度行う。

【0319】一方、各要素プロセス31は、ステップS83乃至ステップS85の動作を、現在取り扱っている画像フォーマットの水平方向の画素数より多く保り続けたと判断した場合、ステップS87に進む。

【0320】 ステップS87において、各要素プロセス31は、左隣りの要素プロセス31のZB<sub>i</sub>の値ZB<sub>i-1</sub>と、しとの和を演算し、その演算結果をZC<sub>i</sub>に記憶する。なお、最も左側の要素プロセス31は、左隣りに要素プロセス31がないので、ZB<sub>i</sub>を0として演算を行う。

103211 次に、ステップS88において、要素プ  
セツタ31は、 $Z_{C_0}$ の値がKの2倍の値より大きいと  
否かを判断し、 $Z_{C_0}$ の値がKの2倍の値より大きいと  
判断した場合、ステップS90において、 $Z_{D_0}$ の値が  
Kを越算した値を $Z_{D_1}$ に代入する。

【0322】一方、要素プロセス31は、 $ZC_0$ の値がKの2倍の値以下であると判断した場合、ステップ89において、 $ZC_0$ の値からKを減算した値を $Z1$ に代入する。

【0323】そして、ステップS91において、各変数プロセッサ31は、ステップS87乃至ステップS89の動作を、現在起っている画像フォーマットの水平方向の画素数以下により多く繰り返して実行し、ステップS87乃至ステップS89の動作を、現在起られている画像フォーマットの水平方向の画素数以下により多く繰り返して実行しないか判断した場合、ステップS87より、ステップS87乃至ステップS89の動作を再度

図を分割数が256であるCube16に近似させる代わり、さらに、分割数が16のCube16近似を行

い、その分割結果である16のCube16近似を行

ら、分割数が16の例は図16の近傍の2点によ

り、全体の細間の処理が簡便になる。

【0334】また、画像データは、通常、輝度情報を含

む輝度データと、色情報を含む色データで構成されてい

るので、情報量が要求される輝度データに対しては、色

データより大きい分割数で細間の処理を行うようにして

もよい。

【0335】なお、上記実施の形態においては、主に画

像の拡大について説明しているが、画像の縮小を行うこ

とも勿論可能である。また、画像の縮小の場合、入力S

AM部22には、入力データが順番通りに密に供給さ

れ、出力SAM部25には、出力データが疎に出力され

てくる。

【0336】また、上記実施の形態の図8（右側、左

端）周辺の要素プロセッサ31においては、演算に利用

する入力データを有する周辺の要素プロセッサ31が存

在しない場合があるので、その場合においては、その入

力データの値を0として演算を行う。

行うことができる。

【図面の簡単な説明】

【図1】本発明の画像処理装置の第1の実施の形態の構

成を示すブロック図である。

【図2】フィルタ選択信号P1および位相信号と、フィ

ルタ係数セットとの対応関係の一例を示す図である。

【図3】図1の装置において行われるフィルタ演算の各

サイクルにおける細間値Q1と、フィルタ選択信号P1

の対応関係の一例を示す図である。

【図4】本発明の画像処理装置の第2の実施の形態の構

成を示すブロック図である。

【図5】要素プロセッサの構成例を示すブロック図であ

る。

【図6】要素プロセッサの詳細な構成例を示す回路図で

ある。

【図7】図4の画像処理装置の動作を説明するフローチ

ャートである。

【図8】図4の画像処理装置の各側に配設されるデータ

の一例を示す図である。

【図9】処理に必要なデータを有する要素プロセッサと

の位置関係の一例を示す図である。

【図10】図9の位置関係を縮小させた位置関係の一例を

【図19】各要素プロセッサがフィルタ選択信号を演算

するときの図18の画像処理装置の動作について説明す

るフローチャートである。

【図20】本発明の画像処理装置の第6の実施の形態の

構成を示すブロック図である。

【図21】原画像の一例を示す図である。

【図22】原画像を拡大した画像の一例を示す図であ

る。

【図23】原画像の画像と、拡大した画像の画像の位置

関係の一例を示す図である。

【図24】原画像の解像度を高くした画像の一例を示す

図である。

【図25】原画像を縮小した画像の一例を示す図であ

る。

【図26】原画像の画像と、縮小した画像の画像の位置

関係の一例を示す図である。

【図27】原画像の解像度を低くした画像の一例を示す

図である。

【図28】原画像の画像と、細間により生成される画像

の位置関係の一例を示す図である。

【図29】細間画像の例を示す図である。

【図30】ハードウェア的にフィルタ演算を行う装置の

構成例を示すブロック図である。

【図31】図30の装置において行われるフィルタ演算

の各サイクルにおける各データの値の例を示す図であ

る。

【図32】フィルタ選択信号とフィルタ係数セットの対

応関係の一例を示す図である。

【図33】ソフトウェア的にフィルタ演算を行う装置の

構成例を示すブロック図である。

【図34】図33の装置において、画像の拡大を行う場

合における入力データの値の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

例の例の例の例の例の例の例の例の例の例の例の例の

【0324】一方、各要素プロセッサ31は、ステップ

S87乃至ステップS90の動作を、現在取り扱ってい

る画像フォーマットの水平方向の画素数より多く繰り返

したと判断した場合、ステップS92に進む。

【0325】そして、ステップS92において、各要素

プロセッサ31は、Kが1より大きい、即ち、画像の位

相の処理であるか否かを判断し、Kが1より大きいと判

断した場合、ステップS94において、フィルタ選択係

数1として2Aの値を利用し、Kが1以下であると判

断した場合、ステップS93において、フィルタ選択係

数1として2Bの値を利用する。

【0326】以上のようにして、フィルタ選択係数1を

算出する。なお、ステップS88において、演算（剰余

の算出）を行っているが、演算には、剰余を繰り返し実

行している。なお、上述の処理は多くの処理ステップを

有するが、リアルタイムの処理を行う前や、垂直掃読解

読などにおいて処理を行うことにより特に問題は生じな

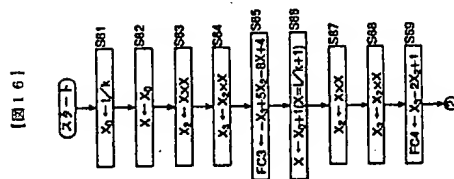
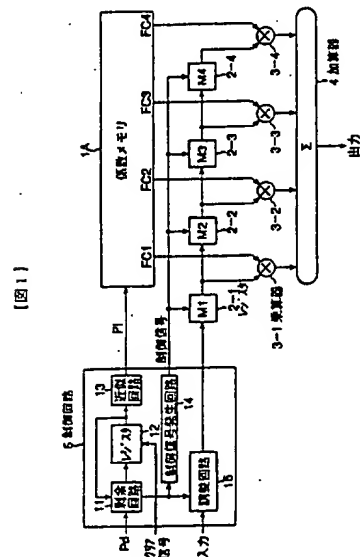
い。

【0327】なお、ステップS84およびステップS8

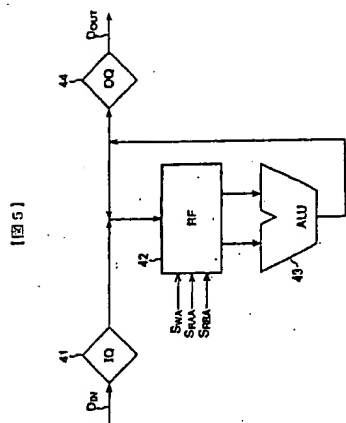
8における判断に対しては、入力データまたは出力デー

タと、要素プロセッサ31との対応関係（図34のR1

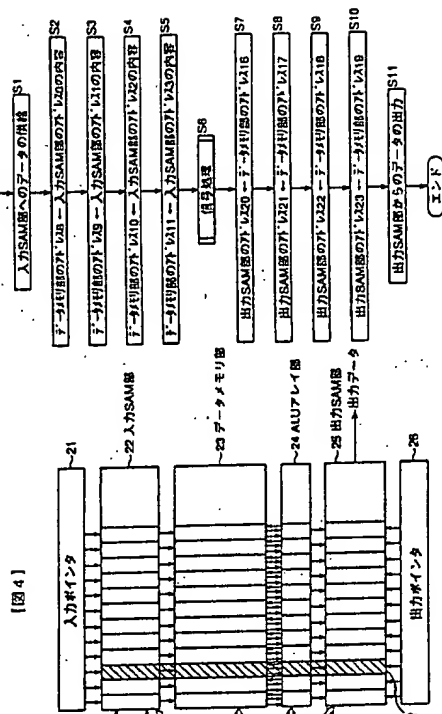
と、要素プロセッサ31との対応関係（図34のR1



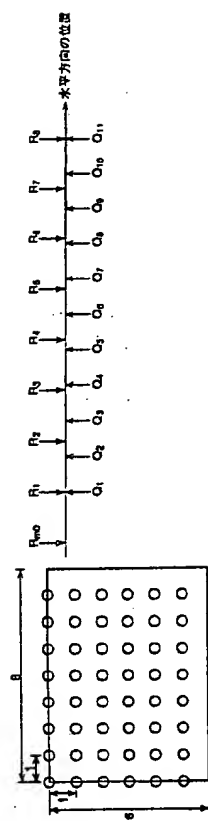
Cl	IPd	割合 (%)	P (0-16)	信頼係数
Q1	0.0	0.0	$F_0 (x=0.0)$	0.0
Q2	0.7	0.7	$F_1 (x=0.0875)$	0.0125
Q3	1.4	0.7	$F_2 (x=0.375)$	0.025
Q4	2.1	0.7	$F_3 (x=0.125)$	0.025
Q5	2.8	0.8	$F_4 (x=0.875)$	0.0125
Q6	3.5	0.5	$F_5 (x=0.5)$	0.0
Q7	4.2	0.2	$F_6 (x=0.1875)$	0.0125
Q8	4.9	0.9	$F_7 (x=0.625)$	0.025
Q9	5.6	0.6	$F_8 (x=0.625)$	0.025
Q10	6.3	0.3	$F_9 (x=0.125)$	0.0125
Q11	7.0	0.0	$P_0$	
Q12	7.7	0.7	$P_{11}$	
Q13	8.4	0.4	$P_2$	
Q14	9.1	0.1	$P_3$	
Q15	9.8	0.9	$P_{10}$	
Q16	10.5	0.3	$P_6$	
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.



フィッセル 変数群	正位相 変数群	$F_{E1}$	$F_{E2}$	$F_{E3}$	$F_{E4}$	$F_{E5}$	$F_{E6}$	$F_{E7}$	$F_{E8}$	$F_{E9}$	$F_{E10}$	$F_{E11}$	$F_{E12}$	$F_{E13}$	$F_{E14}$	$F_{E15}$	$F_{E16}$	$F_{E17}$	$F_{E18}$	$F_{E19}$	$F_{E20}$	$F_{E21}$	$F_{E22}$	$F_{E23}$	$F_{E24}$	$F_{E25}$	$F_{E26}$	$F_{E27}$	$F_{E28}$	$F_{E29}$	$F_{E30}$	$F_{E31}$	$F_{E32}$	$F_{E33}$	$F_{E34}$	$F_{E35}$	$F_{E36}$	$F_{E37}$	$F_{E38}$	$F_{E39}$	$F_{E40}$	$F_{E41}$	$F_{E42}$	$F_{E43}$	$F_{E44}$	$F_{E45}$	$F_{E46}$	$F_{E47}$	$F_{E48}$	$F_{E49}$	$F_{E50}$	$F_{E51}$	$F_{E52}$	$F_{E53}$	$F_{E54}$	$F_{E55}$	$F_{E56}$	$F_{E57}$	$F_{E58}$	$F_{E59}$	$F_{E60}$	$F_{E61}$	$F_{E62}$	$F_{E63}$	$F_{E64}$	$F_{E65}$	$F_{E66}$	$F_{E67}$	$F_{E68}$	$F_{E69}$	$F_{E70}$	$F_{E71}$	$F_{E72}$	$F_{E73}$	$F_{E74}$	$F_{E75}$	$F_{E76}$	$F_{E77}$	$F_{E78}$	$F_{E79}$	$F_{E80}$	$F_{E81}$	$F_{E82}$	$F_{E83}$	$F_{E84}$	$F_{E85}$	$F_{E86}$	$F_{E87}$	$F_{E88}$	$F_{E89}$	$F_{E90}$	$F_{E91}$	$F_{E92}$	$F_{E93}$	$F_{E94}$	$F_{E95}$	$F_{E96}$	$F_{E97}$	$F_{E98}$	$F_{E99}$	$F_{E100}$	$F_{E101}$	$F_{E102}$	$F_{E103}$	$F_{E104}$	$F_{E105}$	$F_{E106}$	$F_{E107}$	$F_{E108}$	$F_{E109}$	$F_{E110}$	$F_{E111}$	$F_{E112}$	$F_{E113}$	$F_{E114}$	$F_{E115}$	$F_{E116}$	$F_{E117}$	$F_{E118}$	$F_{E119}$	$F_{E120}$	$F_{E121}$	$F_{E122}$	$F_{E123}$	$F_{E124}$	$F_{E125}$	$F_{E126}$	$F_{E127}$	$F_{E128}$	$F_{E129}$	$F_{E130}$	$F_{E131}$	$F_{E132}$	$F_{E133}$	$F_{E134}$	$F_{E135}$	$F_{E136}$	$F_{E137}$	$F_{E138}$	$F_{E139}$	$F_{E140}$	$F_{E141}$	$F_{E142}$	$F_{E143}$	$F_{E144}$	$F_{E145}$	$F_{E146}$	$F_{E147}$	$F_{E148}$	$F_{E149}$	$F_{E150}$	$F_{E151}$	$F_{E152}$	$F_{E153}$	$F_{E154}$	$F_{E155}$	$F_{E156}$	$F_{E157}$	$F_{E158}$	$F_{E159}$	$F_{E160}$	$F_{E161}$	$F_{E162}$	$F_{E163}$	$F_{E164}$	$F_{E165}$	$F_{E166}$	$F_{E167}$	$F_{E168}$	$F_{E169}$	$F_{E170}$	$F_{E171}$	$F_{E172}$	$F_{E173}$	$F_{E174}$	$F_{E175}$	$F_{E176}$	$F_{E177}$	$F_{E178}$	$F_{E179}$	$F_{E180}$	$F_{E181}$	$F_{E182}$	$F_{E183}$	$F_{E184}$	$F_{E185}$	$F_{E186}$	$F_{E187}$	$F_{E188}$	$F_{E189}$	$F_{E190}$	$F_{E191}$	$F_{E192}$	$F_{E193}$	$F_{E194}$	$F_{E195}$	$F_{E196}$	$F_{E197}$	$F_{E198}$	$F_{E199}$	$F_{E200}$	$F_{E201}$	$F_{E202}$	$F_{E203}$	$F_{E204}$	$F_{E205}$	$F_{E206}$	$F_{E207}$	$F_{E208}$	$F_{E209}$	$F_{E210}$	$F_{E211}$	$F_{E212}$	$F_{E213}$	$F_{E214}$	$F_{E215}$	$F_{E216}$	$F_{E217}$	$F_{E218}$	$F_{E219}$	$F_{E220}$	$F_{E221}$	$F_{E222}$	$F_{E223}$	$F_{E224}$	$F_{E225}$	$F_{E226}$	$F_{E227}$	$F_{E228}$	$F_{E229}$	$F_{E230}$	$F_{E231}$	$F_{E232}$	$F_{E233}$	$F_{E234}$	$F_{E235}$	$F_{E236}$	$F_{E237}$	$F_{E238}$	$F_{E239}$	$F_{E240}$	$F_{E241}$	$F_{E242}$	$F_{E243}$	$F_{E244}$	$F_{E245}$	$F_{E246}$	$F_{E247}$	$F_{E248}$	$F_{E249}$	$F_{E250}$	$F_{E251}$	$F_{E252}$	$F_{E253}$	$F_{E254}$	$F_{E255}$	$F_{E256}$	$F_{E257}$	$F_{E258}$	$F_{E259}$	$F_{E260}$	$F_{E261}$	$F_{E262}$	$F_{E263}$	$F_{E264}$	$F_{E265}$	$F_{E266}$	$F_{E267}$	$F_{E268}$	$F_{E269}$	$F_{E270}$	$F_{E271}$	$F_{E272}$	$F_{E273}$	$F_{E274}$	$F_{E275}$	$F_{E276}$	$F_{E277}$	$F_{E278}$	$F_{E279}$	$F_{E280}$	$F_{E281}$	$F_{E282}$	$F_{E283}$	$F_{E284}$	$F_{E285}$	$F_{E286}$	$F_{E287}$	$F_{E288}$	$F_{E289}$	$F_{E290}$	$F_{E291}$	$F_{E292}$	$F_{E293}$	$F_{E294}$	$F_{E295}$	$F_{E296}$	$F_{E297}$	$F_{E29$
--------------	------------	----------	----------	----------	----------	----------	----------	----------	----------	----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	----------



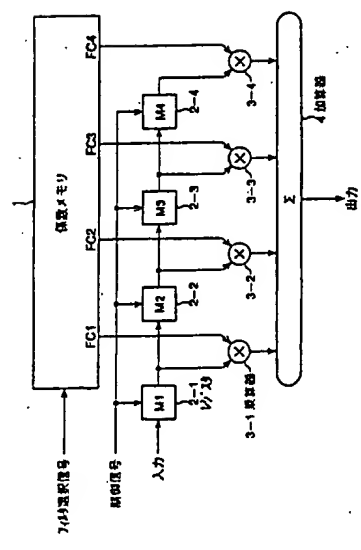
例	右側	右側	右側	左側	左側
$O_2, O_3, O_{12}, \dots$	$\bigcirc$	$\uparrow$	$\bigcirc$	$\bigcirc$	$\uparrow$
$O_1, O_7, O_{11}, \dots$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\uparrow$
$O_3, O_5, O_{13}, \dots$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$
$O_6, \dots$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$
$O_{15}, \dots$	$\bigcirc$	$\uparrow$	$\bigcirc$	$\bigcirc$	$\bigcirc$





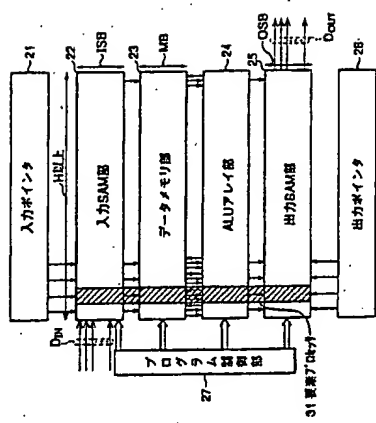


【図30】



【図32】

7ビット乗数	乗数	乗数	8ビット乗数				8ビット乗数				乗数
			FC1	FC2	FC3	FC4	FC1	FC2	FC3	FC4	
P <sub>0</sub>	0	0	0.0	1.0	0.0	0.0	0	128	0	0	128
P <sub>1</sub>	1	0	-0.009	0.981	0.109	-0.081	-1	128	14	-10	129
P <sub>2</sub>	2	0	-0.032	0.928	0.232	-0.128	-4	110	30	-16	129
P <sub>3</sub>	3	0	-0.063	0.847	0.353	-0.147	-8	108	48	-10	127
P <sub>4</sub>	4	0	-0.098	0.744	0.466	-0.144	-12	95	63	-16	128
P <sub>5</sub>	5	0	-0.125	0.625	0.525	-0.125	-16	80	80	-16	128
P <sub>6</sub>	6	0	-0.144	0.498	0.744	-0.098	-18	63	95	-12	128
P <sub>7</sub>	7	0	-0.147	0.353	0.847	-0.083	-18	48	108	-8	127
P <sub>8</sub>	8	0	-0.128	0.232	0.928	-0.032	-16	30	110	-4	129
P <sub>9</sub>	9	0	-0.081	0.109	0.981	-0.009	-10	14	126	-1	129

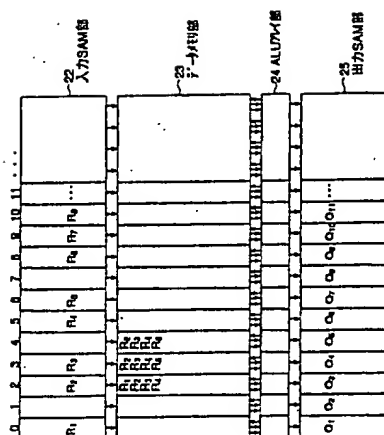


【図31】

サイクル	入力データ	7ビット乗数	乗数	7ビット乗数	出力データ
1	R <sub>1</sub>	H	R <sub>10</sub>	R <sub>10</sub>	Q <sub>1</sub>
2	R <sub>2</sub>	H	R <sub>11</sub>	R <sub>11</sub>	Q <sub>2</sub>
3	R <sub>3</sub>	H	R <sub>12</sub>	R <sub>12</sub>	Q <sub>3</sub>
4	R <sub>4</sub>	L	R <sub>13</sub>	R <sub>13</sub>	Q <sub>4</sub>
5	R <sub>5</sub>	H	R <sub>14</sub>	R <sub>14</sub>	Q <sub>5</sub>
6	R <sub>6</sub>	H	R <sub>15</sub>	R <sub>15</sub>	Q <sub>6</sub>
7	R <sub>7</sub>	L	R <sub>16</sub>	R <sub>16</sub>	Q <sub>7</sub>
8	R <sub>8</sub>	H	R <sub>17</sub>	R <sub>17</sub>	Q <sub>8</sub>
9	R <sub>9</sub>	L	R <sub>18</sub>	R <sub>18</sub>	Q <sub>9</sub>
10	R <sub>10</sub>	H	R <sub>19</sub>	R <sub>19</sub>	Q <sub>10</sub>
11	R <sub>11</sub>	H	R <sub>20</sub>	R <sub>20</sub>	Q <sub>11</sub>
12	R <sub>12</sub>	L	R <sub>21</sub>	R <sub>21</sub>	Q <sub>12</sub>
13	R <sub>13</sub>	H	R <sub>22</sub>	R <sub>22</sub>	Q <sub>13</sub>
14	R <sub>14</sub>	H	R <sub>23</sub>	R <sub>23</sub>	Q <sub>14</sub>

特許 0-134175

【図34】



フロントページの図

(72) 発明者 中村 憲一郎  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内